

### 1. הכרת מושגים

שפות תיאור חמרה לעומת שרטוט, הכרת Design Flow בשפת VHDL. סימולציה, רמת הסימולציה (רמה גבוהה, רמת RTL, רמת gate level), סוגי ומטרות הסימולציה (Timing, Functional Simulation, Fault Simulation ו Verification), סנטיזה, רמת הסנטיזה, (רמה גבוהה, רמת RTL, רמת gate level), שימוש בספריות (Macros) של יצרן הרכיב ו LPMs, היררכיה, תיאור התנהגותי, תיאור מבני, כתיבה לסימולציה לעומת כתיבה לסנטיזה, סימולציה באמצעות שפת הסימולטור ובאמצעות Test bench, מתודולוגית Bottom Up ו Top to Bottom.

### 2. הכרת כלי התכנה

הכרת ה- Data Flow וסביבת העבודה והתפריטים השונים של תכנת הסימולציה. כתיבת קובץ באמצעות Editor, קומפילציה (אנליזה), טעינת יחידות הקומפילציה לסימולטור, הזנת המערכת הנבדקת באותות כניסה וביצוע סימולציה. מומלץ לבצע סימולציה בשלבים הראשונים של הקורס באמצעות שפת הסימולטור ורק מאוחר יותר להשתמש ב- Test Bench.

הכרת ה- Data Flow וסביבת העבודה והתפריטים השונים של תכנת הסנטיזה, ביצוע סנטיזה, הכנסת אילוצים ושליטה בסיסית באופן ביצוע הסנטיזה. שימוש ב- Schematic Viewer (במידה וקיים) והתבוננות ב- Report File.

הכרת ה- Data Flow וסביבת העבודה והתפריטים השונים של תכנת ה- Place & Route (אימפלמנטציה), יצירת הקובץ לתכנות הרכיב, יצירת קובץ VHDL לסימולציה (Reverse Compiler), הכנסת אילוצים ושליטה בסיסית באופן ביצוע ה- Place & Route, התבוננות ב- Report File ובתוצאות ה- Static Timing Analysis (במידה וקיים).

### 3. מבוא לשפת VHDL

כללי תחביר בסיסיים. הישות (entity) והארכיטקטורה (architecture). ריבוי ארכיטקטורות וקישור הישות וארכיטקטורה באמצעות הקונפיגורציה. החבילה (package) והספרייה. סדר הקומפילציה של החלקים השונים.

אותות משתנים וקבועים. סוגי מידע מספרי (real, integer) ו- Enumerated types של השפה (character, bit, boolean), פעולות לוגיות. שימוש ב- strings, bit\_vectors ו Slices שלהם. שימוש ב- Aggregates (סוגריים עגולות ופסיקים). רלציות (=, <=, >=, <, >, !=), פעולות הזזה, פעולות חשבוניות והדבקת תווים (&). סוגי הפעולות השונות המותרות על סוגי המידע השונים.

סוגי מידע ופעולות שנתמכות על ידי כלי סנטזה. תיאור מערכות פשוטות עבור סימולציה וסנטזה.

#### 4. תיאור התנהגותי בסיסי

תיאור התנהגותי בסגנון Data Flow, לעומת תיאור סדרתי בתוך תהליך (process), מנגנון ההמתנה של תהליך באמצעות wait או רשימת רגישות, שימוש באותות ביניים ללא הדקים חיצוניים בארכיטקטורה לעומת שימוש במשתנים פנימיים בתוך תהליך, ביצוע פעולות במקביל (Concurrent) מחוץ לתהליך לעומת האלגוריתם הסדרתי שבתוך התהליך שבו יש חשיבות לסדר הפסוקים, המשמעות של הזמן בתוך ומחוץ לתהליך והשהיית אותות, השהיית delta, שילוב בין סגנונות התיאור הנ"ל.

פעולות הצבה מותנות (when-else) והצבות נבחרות (with-select) לעומת שימוש בתהליך עם התניית if והתניית case. תהליכים עם חוגים מסוג for ו while וחוגים ללא מנגנון איטרציה. אתחול משתנים,

פעולות חשבוניות על שלמים ועל וקטורים מסוג std\_logic\_vector (למשל באמצעות שימוש בחבילות std\_logic\_signed או std\_logic\_unsigned).

#### 5. אבני בניה לסנטיזה צירופית

כללים לכתיבת תיאורים התנהגותיים שמתאימים לסנטיזה של מערכת צירופית, הקפדה על רישום כל אותות הכניסה ברשימת הרגישות (complete sensitivity list), וכללים למניעת היווצרות רכיבי זיכרון פרזיטיים (Parasitic Latches) במערכות צירופיות והקפדה על השמות מלאות (complete assignments) ושימוש בהשמות ברירת מחדל. תיאור של רכיבי Tri-State Buffer ו Open-Drain Buffer.

#### 6. אבני בניה לסנטיזה סינכרונית

ה – attributes שקשורים לזמן (last\_active, last\_event, active, event, transaction delayed, quiet, stable). תיאור תהליכים שמסונכרנים לאות השעון, אותות סינכרוניים ואותות אסינכרוניים בתיאור מערכת שמסונכרנת לאות השעון, תיאור רכיבי Latch לעומת מערכת מסונכרנת לשעון, הקפדה על שבלונת כתיבה (Template) נוקשות שמתאימה לסנטיזה של מערכת סינכרונית.

סנטיזה של תיאורים סינכרוניים וצירופיים הכוללים משתנים (Variables) והפירוש שלהם: לעתים כאובייקטים חישוביים ללא שווה ערך בחמרה, לעומת הפיכתם לאובייקט סטטי (חוט). שימוש נכון ב - Variables.

הקפדה על הפרדה בתיאור מערכות: למערכת צירופית, למערכת סינכרונית ו - Latches. התייחסות של תכנת הסנטיזה לאתחול אותות ומשתנים. הפרדת מערכות למערכת עם וללא reset אסינכרוני. בדיקת דוגמאות באמצעות תכנית הסנטיזה.

#### 7. אבני בניה לסימולציה

אתחול משתנים, שימוש ב - assert מחוץ ובתוך תהליך ובישות.

תהליכים עם פסוקי wait מסוגים שונים (on, until, for), שילובם והשימוש שלהם בתיאור מערכות מורכבות וביצירת אותות לסימולציה. מחוללי אותות (generators) שונים (אות שעון או איפוס), יצירת מחוללי אותות מורכבים יותר.

שימוש ב - Attributes לבדיקת תזמונים (למשל Setup Time ו Hold Time).

### 8. תיאורים מבניים בסיסיים

מתי משתמשים בתיאור מבני? הצהרה על רכיב (component) וחיווט של רכיבים (component instantiation), קישור (association) לפי שם ולפי מקום, חיווט הדקי כניסה ויציאה לאות קבוע, ניתוק הדקים (open), חוטים מותרים בין הדקים בעלי כיוונים (Modes) שונים. בדיקת מערכת באמצעות Test Bench לעומת שפת הסימולטור.

### 9. תיאורים מבניים מורכבים (7 שעות)

שליטה בפרמטרים בקריאה לרכיבים באמצעות generic ויצירת LPM.

יצירת איטרציה והתניות באמצעות generate איטרטיבי ומותנה.

טיפול בספריות ויצירת ספריות רכיבים.

קונפיגורציה של תיאור מבני (configuration specification) ויחידת קונפיגורציה (configuration declaration), יחידת קונפיגורציה בעלת היררכיה. תיאור מקוצר באמצעות ריכוז הצהרות רכיבים בחבילה או שימוש ב – direct instantiation (ב - VHDL-93).

הכנת סביבת הסימולציה לעבודה עם רכיבי LPM. עטיפה של תיאור מבני של רכיב גמיש באמצעות MegaWizard.

### 10. הגדרות סוגי מידע ותיאור מכונת מצבים

יצירת סוגי מידע חדשים באמצעות type ו subtype. סוגי מידע פיסיים. הצהרה על אפיון (attribute) הגדרתו ושימוש בו. השימוש ב – Attributes של סוגי המידע של השפה (כמו pos, val, left, right, low, high, leftof, rightof, succ, pred).

תיאור מכונת מצבים בצורה המקובלת באמצעות שני תהליכים: תהליך סינכרוני ותהליך צירופי. שליטה בהקצאת המצבים באמצעות שימוש ב – Attributes של תכנית הסנטיזה או באמצעות כתיבת קוד שכולל הקצאה ברמת הביטים, תיאור מכונת מצבים מסוג Moore, Mealy ומכונת מצבים Direct Moore (היציאות של המכונה הן היציאות של הפליפ-פלופים של המכונה). כניסות גלובליות כמו איפוס סינכרוני גלובלי ואפשר סינכרוני גלובלי. תיאור מכונת מצבים עם present\_state בלבד (One Segment Description). סנכרון כניסות ויציאות של המכונה.

### 11. מערכים ורכיבי זיכרון

מערכים, מערכים בלתי מוגבלים, רשומות, דוגמאות לתיאור ROM ו RAM. שימוש ב – Attributes של מערכים (left, right, low, high, range, reverse\_range, length). מערכים בעלי אינדקסים שאינם integer ויצירת טבלאות אמת למצבים לוגיים מרובים (למשל mv14 ו std\_ulogic).

תיאור רכיבי מערך (RAM,ROM ו DPRAM) מסוגים שונים (בעלי הדקי מידע נפרדים ומשותפים, סינכרוניים, אסינכרוניים) באופן התנהגותי כך שתכנית הסנטיזה תזהה אותם באופן אוטומטי ותכנית ה - P&R תבצע אימפלמטציה למשאבי זיכרון קיימים ברכיב מתוכנת (למשל EABs/ESBs ברכיבים של Altera).

## 12. פונקציות ופרוצדורות והרחבות לשפה

פונקציות ופרוצדורות (procedure,function), מיקום אפשרי בחלקים הצהרתיים שונים כולל גם בחבילה. קריאה לפונקציה ופרוצדורה. שימוש בפונקציה לביצוע Over-Loading של פעולות קימות, ורזולוציה (Resolution Function) של מצבים לוגיים (למשל ב - mvl4 ו std\_logic).

הכרת החבילה std\_logic\_1164 של IEEE. מצבים לוגיים חלשים והשימוש בהם בתיאור רכיבי Tri-state או Open-Drain ותיאור BUS, התפקיד של Don't Care מצבים בלתי ידועים: 'X' או 'W' או 'U' לסימולציה, צורות כתיבה שמתאימות לסנטיזה.

הכרת חבילות אריתמטיות סטנדרטיות (numeric\_std של IEEE ו std\_logic\_arith של Synopsys) וכתיבה באופן שמתאים לשתיהן באמצעות אוסף אופרטורים משותפים המופעלים על סוגי המידע: signed ו unsigned. שימוש בחבילות std\_logic\_unsigned ו std\_logic\_signed של synopsys לביצוע פעולות על וקטרים מסוג std\_logic\_vector.

חבילות אריתמטיות של IEEE למספרים ממשיים וקומפלקסיים. דוגמה לתיאור אות סינוסואידלי עבור Test Bench.

## 13. טיפול בקבצים

שימוש בקבצי טכסט והסתייעות בחבילה textio. שימוש בחבילה std\_logic\_textio של Synopsys לקבלת תמיכה בקריאה וכתיבה של קבצים הקסדצימליים ואוקטליים. שימוש בקבצים שאינם קבצי טכסט (למשל קובץ בינארי גרפי). שימוש בקבצים ב - VHDL-93 לעומת VHDL-87. דוגמות לשימוש בקבצים לאתחול רכיבים (למשל ROM) ושימוש בקבצים בצורות שונות עבור Test Bench.

טיפול בקבצים בינאריים שאינם קבצי טכסט.

## רשימת ספרות עזר

להלן ספרים בנושא שפת VHDL בשפה העברית (ספר הראשון הוא הספר המומלץ).

1. עמוס זסלבסקי, לימוד שפת VHDL לסימולציה וסינתזה, הוצאת שורש, 2007
2. דוד רפאלוביץ, תכנון חמרה ניסויים ופרויקטים ב - VHDL, האוניברסיטה הפתוחה, 2004.
3. שאול כהן, תיכון חמרה בעזרת VHDL, האוניברסיטה הפתוחה, 2006.
4. אייל חברבר, שפת תיאור חומרה VHDL, הוצאת שורש.
5. שאול כהן, מדריך מקצועי לתיכון חמרה, הוצאת ארז, 2005.

להלן ספרים בנושא שפת VHDL בשפה האנגלית

1.  
Douglas Perry, *VHDL*, McGraw-Hill, 4<sup>th</sup> edition 2002 , ISBN: 0071400702.
  2.  
David Pellerin & Douglas Taylor, *VHDL made easy*, Prentice Hall PTR, 1997, ISBN: 0136507638.
  3.  
Stefan Sjöholm & Lennart Lindh, *VHDL for Designers*, Prentice Hall, 1997, ISBN: 0134734149
  4.  
Jayaram Bhasker, *A VHDL Primer – Revised edition*, Prentice Hall, 1995, ISBN: 0-13-181427-8
- ארבעת הספרים הבאים עוסקים בכתיבת VHDL לסינטיזה:
5.  
Andrew Rushton, *VHDL for Logic Synthesis*, Wiley, 1998, ISBN: 047198325X
  6.  
Kevin Skahill, *VHDL for programmable logic*, Addison Wesley, 1996, ISBN: 0201985730
  7.  
Jayaram Bhasker, *A VHDL Synthesis Primer*, Star Galaxy Publishing, 2<sup>nd</sup> edition 1998, ISBN: 0965039196.
  8.  
Sundar Rajan, *Essential VHDL RTL Synthesis Done Right*, 1999, S & G Publishing, ISBN: 0966959000.
  9.  
Pong P. CHU, *RTL Hardware design using VHDL*, Wiley-IEEE Press, ISBN 0471720925
- שני הספרים הבאים עוסקים בהגדרה פורמלית של השפה והתחביר שלה:
10.  
*IEEE Standard 1076-1993: VHDL Language Reference Manual*, IEEE, 1993, ISBN: 1-55937-376-8 [SH16840].
  11. Jayaram Bhasker, *A Guide to VHDL Syntax: Based on New IEEE Std 1076-1993*, Prentice Hall, 1995, ISBN: 0133243516.

12.

James Armstrong & Gail Gray, *Structured logic design with VHDL*, Prentice Hall, 1993, ISBN: 0138552061

13.

Zainalabedin Navabi, *VHDL: Analysis and Modeling of Digital Systems*, McGraw-Hill, 2<sup>nd</sup> edition 1997 , ISBN: 0070464790.

14.

Ben Cohen, *VHDL Coding Styles and Methodologies*, Kluwer Academic Press (KAP), 2<sup>nd</sup> edition 1999, ISBN: 0792384741.

15.

Ben Cohen, *VHDL Answers to Frequently Asked Questions*, Kluwer Academic Press (KAP), 2<sup>nd</sup> edition 1998, ISBN: 0792381157.

16.

Peter Ashendon, *The Designer's Guide to VHDL*, Morgan Kaufman Publishers, 2<sup>nd</sup> edition 2001, ISBN: 1558606742.

17.

Peter Ashenden, *The VHDL cookbook*, The university of Adelaide, 1994, ftp from chook.adelaide.edu.au (129.127.8.8), directory pub/VHDL-Cookbook (as bin-hex or apple PostScript) or bears.ece.ucsb.edu in directory pub/VHDL

18.

D. Ott & T. Wilderotter, *A designers guide to VHDL Synthesis*, Kluwer Academic Publishers (KAP), 1994, ISBN: 0792394720.

19.

Douglas Smith, *HDL Chip Design*, Doone Publications, 1996, ISBN: 0965193438.

20.

Roger Lipsett & Carl Schafer & Cary Ussery, *VHDL: Hardware description & design*, Kluwer Academic Publishers (KAP), 1989, ISBN: 079239030X.

21.

Stanly Mazor & Patricia Langstraat, *A guide to VHDL*, Kluwer Academic Publishers (KAP), 1993, ISBN: 0792393872.