

עמוס זסלבסקי

לימוד שפת VHDL לסימולציה וסינתזה

מהדורה ראשונה - אוקטובר 2007

© כל הזכויות שמורות למחבר

אין לצלם או לסרוק מספר זה ללא אישור מהמחבר או מהמוציא לאור
צילום או סריקה מספר זה ללא אישור הינם עבירה על החוק
(וזה גם לא הוגן)



הוצאת שורש

052 – 2671210

הוצאת שורש (אלי מיטב)

email: elmtv@netvision.net.il

web: <http://shores.h.sfarim.net>

תוכן עניינים

עמוד	תת-נושא	פרק
11	הקדמה	
13	מבנה הספר וייעודו	
15	המלצות בקשר לאופן הלימוד	
17	מבוא לשפה ולכלים	1
18	מבוא לפרק ומטרותיו	
19	מקורות והיסטוריה של השפה	
20	שיטות שונות לתיאור המערכת – Design Entry	
23	אפשרויות שונות לביצוע מהלך התכן – Design Flows	
26	המאפיינים הבסיסיים והיכולות של השפה	
29	כתיבת קובץ פשוט בשפת VHDL	
31	סימולציה	
33	הכנות לקומפילציה בסביבת ModelSim	
35	קומפילציה באמצעות ModelSim	
37	הכנות לסימולציה באמצעות ModelSim	
38	הרצת סימולציה ידנית באמצעות ModelSim	
39	סימולציה באמצעות script של ModelSim	
41	סינתזה ואימלמנטציה	
52	סינתזה שנעשית באמצעות Max+Plus II	
56	סימולציה לאחר סינתזה של Max+Plus II שנעשית באמצעות ModelSim	
57	סינתזה שנעשית באמצעות Quartus	
61	סימולציה לאחר סינתזה של Quartus באמצעות ModelSim	
64	סינתזה באמצעות כלי צד שלישי RTL-Precision	
67	המשך סינתזה באמצעות Quartus	
69	היסודות של השפה	2
70	מבוא לפרק ומטרותיו	
71	קבצי VHDL	
71	כללי מתן שמות ב - VHDL	
73	הערות ושורות לוגיות בשפה	
74	תווים ומחרוזות תווים	
74	ערכים מספריים בשפת VHDL	
77	הישות - entity	
79	הארכיטקטורה - architecture	
82	כיווני האותות ב - port והצהרה על אותות פנימיים	

87	סימולציה באמצעות שפת הסימולטור	
89	סימולציה עם אותות מתוזמנים	
93	ריבוי ארכיטקטורות	
96	קבועים משתנים ואותות	
98	סוגי מידע מספרי	
101	סוגי מידע מספרי וסינתזה	
105	סוגי מידע Enumerated	
106	סוגי מידע מורכבים	
108	מערכים שמובנים בשפה - bit_vector ו string	
109	פעולות לוגיות	
112	השמות וקטוריות - שימוש בוקטורים כבמחרוזות תווים	
113	השמות וקטוריות - שימוש באלמנטים בודדים מהמערך ובארגציות	
116	השמות וקטוריות - שימוש בחלק (slice) ממערך של אותות	
118	השמות ל - bit ו bit_vector והנוקשות שלהם	
119	פעולות הזזה	
121	פעולות לוגיות על וקטורים	
124	פעולות אחרות על וקטורים	
128	פעולות חשבוניות - חיבור חיסור וכפל	
129	פעולות חשבוניות נוספות	
131	החבילה - package	
134	שימוש בפסוק use	
136	פונקציות שמוגדרות בגוף החבילה	
138	הצהרה על סוגי מידע בחבילה	
139	שימוש בחבילות להרחבת השפה	
142	החבילה השימושית std_logic_1164	
148	החבילות השימושיות std_logic_unsigned ו std_logic_unsigned	
155	יסודות התיאור ההתנהגותי	3
156	מבוא לפרק ומטרותיו	
157	הכרה בסיסית של התהליך	
160	הבנת אופן הפעולה של התהליך באמצעות אותות ומשתני ביניים	
166	הסדר של השמות בארכיטקטורה ובתהליך	
168	שילוב בין סגנונות התנהגותיים	
169	השמות כפולות בארכיטקטורה ובתהליך	
173	השהית אותות	
174	הבנת אופן הפעולה של התהליך באמצעות שימוש בסיסי בפסוקי wait	

עמוד	תת-נושא	פרק
177	התניה מחוץ לתהליך באמצעות השמה מותנית	
182	בחירה מחוץ לתהליך - באמצעות השמות נבחרות	
189	התניה בתוך התהליך - באמצעות פסוק if	
192	בחירה מחוץ לתהליך - באמצעות פסוק case	
194	תהליך עם חוג for	
196	דוגמאות לשימוש בחוג for	
199	דוגמאות לחוגי for שאינם יוצרים לוגיקה	
202	תהליך עם חוגים אחרים	
207	חוגים וסינתזה	
211	אבני בניה לסינתזה צירופית	4
212	מבוא לפרק ומטרותיו	
213	תיאור מערכת צירופית שמתאים לסינתזה ללא תהליך	
216	תיאור מערכת צירופית שמתאים לסינתזה באמצעות תהליך	
217	הקפדה על שימוש בהשמות ללא משוב	
218	הקפדה על רשימות רגישות מלאות	
221	אותות מיותרים ברשימת הרגישות של תהליך שמתאר מערכת צירופית	
222	הקפדה על השמות מלאות	
229	הבדלים בין התניות ב - VHDL ו AHDL	
231	שימוש נכון במשתנים	
239	התניות מרובות	
242	רכיבי Open Drain ו Tri-Stae	
248	יצירת רכיבי Latch מועילים	
251	אבני בניה לסינתזה סינכרונית	5
252	מבוא לפרק ומטרותיו	
253	השבלונה הבסיסית לכתיבה סינכרונית	
259	רגישות לעליה כשאות השעון אינו מסוג bit	
262	השמות סינכרוניות	
267	התניות שנמצאות מתחת לתנאי הסינכרוני הראשי	
270	כניסות אסינכרוניות	
275	הנוקשות של ה - Template הסינכרוני - דוגמה I	
278	הנוקשות של ה - Template הסינכרוני - דוגמה II	
282	מערכות סינכרוניות שרגישות לירידה	
286	דוגמאה פשוטה לתיאור רגיסטר אוניברסלי	
288	שימוש נכון במשתנים בתהליך סינכרוני	

עמוד	תת-נושא	פרק
298	הפרדה בין חלקים צירופיים וסינכרוניים	
303	דוגמה לכתיבת קוד של מערכת	
307	מקבץ תרגילים	
319	אתחול אותות ומשתנים	
323	אתחולים באזורים הצהרתיים בקוד - וכלי וסינתזה	
327	הפרדה בין מערכות עם וללא אתחולי חמרה	
331	הפרדת הקוד לכמה תהליכים בכדי ליצור קוד קריא יותר	
335	אבני בניה לסימולציה	6
336	מבוא לפרק ומטרותיו	
337	משלוח הודעות למסך באמצעות פסוקי assert	
338	מיקום של וסוגים של פסוק assert	
342	רישום מקוצר למשלוח הודעה בלתי מותנית למסך	
343	תהליכים עם פסוקי wait	
344	פסוקי wait on	
346	פסוקי wait until	
348	פסוקי wait - שלוב on + until	
350	פסוקי wait for	
351	שילובים נוספים של פסוקי wait	
353	המתנה לצמיתות	
354	המתנת סרק	
355	תיאורים סינכרוניים עם פסוקי wait	
357	מחוללים	
358	מחוללי שעון	
360	מחוללי אותות לא מחזוריים	
362	דוגמאות נוספות למחוללי אותות	
365	מבוא לבודקי תזמונים	
366	בודקי תזמון לרוחב פולס מינימלי	
370	בודקי תזמונים לזמן הכנה	
372	בודקי תזמונים לזמן החזקה	
375	תיאורים מבניים בסיסיים	7
376	מבוא לפרק ומטרותיו	
381	תיאורים בסיסיים וחיווט	
386	עבודה בצורת Top-to-Bottom ו Bottom-Up	
389	האופי המקבילי של חיווט רכיבים	
391	חלוקה לרכיבים לעומת חלוקה לתהליכים	

עמוד	תת-נושא	פרק
395	מקבץ תרגילים	
396	השמות והסדר של האותות המקושרים	
397	קישור על פי שם (Named Association)	
399	חיווט כניסה לקבוע	
400	ניתוק יציאה	
401	ניתוק כניסות	
404	חיווטים אסורים בין שני תת-רכיבים שבאותה היררכיה	
405	חיווטים היררכיים אסורים	
406	חיווטים היררכיים שיוצרים הודעות אזהרה	
407	בעיית חיווט טיפוסית ושיטות חיווט	
411	מבוא ליצירת Test-Bench	
417	דוגמה ל - Test Bench סינכרוני	
421	מקבץ תרגילים	
424	התמיכה של תכנית הסימולציה בתיאור מבני והיררכיה	
427	תיאורים מבניים מורכבים	8
428	מבוא לפרק ומטרותיו	
429	מבוא ליצירת תיאורים מבניים כלליים יותר	
429	שימוש בפרמטרים גנריים	
432	שימוש בפרמטרים לקביעת רוחב של מערכת	
435	תיאור פרמטרים בסמלים גרפיים של תכנית הסינתזה	
436	מקבץ תרגילים	
439	רכיבים גמישים סטנדרטיים - LPMs	
443	רכיבים עם הדקים מסוגי מידע כלליים	
445	תיאורים כלליים ותמיכה בסינתזה	
446	שכפול תיאורים במקביל באמצעות חוג generate	
447	דוגמה לשכפול של תיאור התנהגותי באמצעות חוג generate	
450	שכפול של תיאור מבני באמצעות חוג generate	
451	מקבץ תרגילי תכנון	
454	שימוש ב - generate מותנה	
458	מבוא לפעולות על ספריות ב - ModelSim	
458	הצגת התוכן של ספרייה	
461	מחיקת יחידות מקומפלות מספרייה	
461	יצירת תשתית לספרייה פיזית חדשה	
462	מיפוי בין שם לוגי של ספרייה למסלול פיסי שלה	
465	קומפילציה של יחידות קומפילציה לספרייה כל שהיא	

עמוד	תת-נושא	פרק
466	דוגמה ליצירה של ספרית רכיבים ושימוש בה ללא צורך בהצהרות על רכיבים	
469	מקבץ תרגילים	
473	מבוא לקונפיגורציה של רכיבים מספריות	
475	שימוש ב - configuration specifications	
477	שימוש ב - configuration declarations	
480	יחידת קונפיגורציה בעלת היררכיה	
483	תיאורים מבניים פשוטים יותר ב - VHDL-93	
486	הכנת סביבת הסימולציה לעבודה עם LPMs	
490	קבצי אתחול זיכרון בכלים של Altera ובמודלים לסימולציה של זיכרונות	
492	תרגיל מודרך לשימוש ברכיב LPM וניצול משאבים מיוחדים בסיליקון	
498	שימוש ב - Mega-Wizard	
503	הגדרות סוגי מידע ותיאור מכונת מצבים	9
504	מבוא לפרק ומטרותיו	
505	יצירת סוג מידע חדש מסוג enumerated type באמצעות הצהרת type	
508	יצירת סוג מידע מספרי חדש באמצעות הצהרת type	
510	הגדרת סוגי מידע באמצעות הצהרת subtype	
514	סוגי מידע פיסיים	
517	מאפיינים (attributes) של סוגי מידע סקלריים שקשורים למיקום	
520	מאפיינים של סוגי מידע סקלריים שקשורים לגבולות	
522	מאפיינים של סוגי מידע סקלריים שמצביעים על ערכים באופן יחסי	
523	מושגים בסיסיים במכונות מצבים	
528	דוגמה למכונת מצבים	
530	תיאור בסיסי מקובל של מכונת מצבים	
537	הקצאת מצבים של מכונת מצבים	
544	התערבות בהקצאת המצבים של המכונה	
548	מה קורה למצבים הבלתי מתוכננים במכונה ?	
549	סוגים נוספים של מכונות מצבים	
552	תיאור מכונת מצבים בעלת כניסות שגורמות למעברים אחידים	
555	תיאור מכונת מצבים באמצעות האות present_state בלבד	

עמוד	תת-נושא	פרק
565	הגדרת מערכים ותיאור רכיבי זיכרון	10
566	מבוא לפרק ומטרותיו	
567	הצהרה על מערך מוגבל	
568	הצהרה על מערך בלתי מוגבל	
570	צורות שונות לביצוע השמות למערכים של תווים	
571	תיאורים של רכיב זיכרון באמצעות מערך	
579	מאפיינים של מערכים	
584	מערכים עם אינדקס שאינו מספר שלם	
587	רשומות	
593	תיאורי זיכרונות א-סינכרוניים	
599	תיאורי זיכרונות סינכרוניים	
602	תיאור DPRAM	
605	פונקציות ופרוצדורות והרחבות לשפה	11
606	מבוא לתת תכניות ותיאור הפונקציה (function specification)	
609	קריאה לפונקציה (function call)	
611	המיקום האפשרי של תיאור הפונקציה (function specification)	
615	מידע נוסף על פונקציות ועל הפרמטרים שלהן	
616	צדדים דומים ושונים בין פונקציה ותהליך	
617	שימוש ברקורסיה	
619	העמסת פונקציות ואופרטורים	
621	פונקצית רזולוציה ויצירת Resolved data type	
623	הרחבות סטנדרטיות ולא סטנדרטיות	
624	מבוא לפרוצדורות	
627	פרוצדורות כרכיבי חמרה	
628	הבדלים נוספים בין פרוצדורה ופונקציה ובין פרוצדורה ותהליך	
630	חקירת החבילה std_logic_1164	
633	התמיכה של std_logic בסינתזה	
640	פעולות חשבוניות עם וקטורים מסוג signed ו unsigned	
650	פעולות נוספות עם signed ו unsigned	
653	תיאור חמרה שמבצעת פעולות חשבוניות באמצעות unsigned או signed	
654	ביצוע פעולות חשבוניות עם וקטורים מסוג std_logic_vector בנוחות	

עמוד	תת-נושא	פרק
659	טיפול בקבצים	12
660	מבוא והחבילה textio	
663	מחולל שקורא טכסט מקובץ	
665	מחולל שקורא טכסט וזמן מוחלט מקובץ	
667	מחולל שקורא טכסט וזמן יחסי מקובץ	
668	מחולל שקורא טכסט מקובץ ובודק תוצאות מצופות (מערכת צירופית)	
672	מחולל שקורא טכסט מקובץ ובודק תוצאות מצופות (מערכת סינכרונית)	
674	כתיבת תוצאות לתוך קובץ	
675	החבילה std_logic_textio של Synopsys	
678	קובץ של strings ו characters	
678	קובץ של strings	
679	קובץ עם שלמים (integers)	
680	קובץ עם מספרים ממשיים (real)	
682	קובץ עם ערכים מסוג bit ו bit_vector	
683	קובץ עם ערכים מסוג boolean ו enumerated data type אחרים	
684	דוגמה לביצוע פעולות על קובץ בינארי ב - VHDL 93	
686	גישה לקבצים בינאריים גם ב - VHDL 87	
687	דוגמה לאתחול ROM מקובץ בינארי	
690	מקבץ תרגילים	

הקדמה

ספר זה מבוסס על התנסות אינטנסיבית של המחבר בהעברת קורסים בשפת VHDL. הקורסים הועברו באתרים רבים ברחבי הארץ ועבור קהלי יעד שונים. הרצאות הקורס, שלוו בכמות נכבדת של שקפים, עברו גלגולים שונים והגרסאות השונות של השקפים שוכתבו במשך הזמן לחוברות לעבודה עצמית. ספר זה נוצר מהגרסאות האחרונות של השקפים וחוברות העבודה.

ברצוני להודות למשתתפים הרבים בקורסים הראשונים שקיימתי ברפא"ל-לשם, ברפא"ל-מכון-דוד בתדיראן קשר, בתדיראן מערכות, ECI, ACS, RSL ועוד. השקפים שהוכנו עבור הקורסים הראשונים (שנמשכו כשבועים עד שמונים שעות לימוד) נתפרו בהתאם לצורכי המשתתפים. השאלות הרבות וההערות הבונות של ממשותתפי הקורסים הראשונים שימשו אותי כהשראה המרכזית להכנת הספר.

תודה מיוחדת מגיעה לאנשים שונים בפקולטה להנדסת חשמל בטכניון. העברת הקורס הני"ל לסגל המעבדה הספרתית בפקולטה להנדסת חשמל בטכניון, ייעוץ מזדמן בנושאים שונים במעבדה והדרכות בנושא VHDL עבור פרויקטנטים של המעבדה, וכתבת ניסויים לפקולטה, סיפקו לי משובים חשובים נוספים. ברצוני להודות במיוחד לאינה ריבקין ולאלי שושן ששאלו שאלות מאוד חכמות והעירו לי הערות בונות רבות. במידה מסוימת גם הדרכות שביצעתי במעבדת VLSI בטכניון, סיפקו לי משוב בקשר לצורכיהם של סטודנטים מתחילים שלומדים את השפה. בהזדמנות זו ברצוני להודות לסמואל גואל ולאמיר בר.

מקום התנסות חשוב נוסף עבור הכנת הספר, היה בית ספר הארצי להנדסאים בטכניון. כאן צברתי ניסיון בהעברת קורסי VHDL אינטנסיביים בהיקף של למעלה ממאה שעות, כשהסטודנטים נבחנים על נושא זה בבחינה ממשלתית של מה"ט. צורת הלימוד שנבחרה עבור קורסים אלו וקורסים דומים בנושאי רכיבים מיתכנתים, הייתה ביצוע חוברות עבודה במעבדה. הכנת חוברות אלו היוותה בסיס עבור חלק מהטכסט שבספר זה. הכנת החוברות אילצה אותי לנסח את ההסברים בצורה מאוד ברורה והשאלות הרבות של הסטודנטים והפרוייקטנטים שהדרכת סיפקו לי משוב חשוב בקשר לאיכות ההסברים.

תודה גם להערות הבונות שקבלתי ממנחי הפרוייקטים ומרצים ברשת אורט בקורס שהעברתי ברשת אורט. הערות אלו לימדו אותי על הקשיים הגדולים שלהם כמרצים בהטמעה של החומר הנלמד לסטודנטים צעירים.

תודה נוספת מגיעה לאנשים המצוינים בחברת איסטרוניקס, שהיא הנציגה של חברת Altera בארץ. כמשתמש ותיק ברכיבים ובכלי התכנה של חברת Altera ויותר מאוחר גם כחבר ACAP (תכנית יועצים מומחים של Altera), התנסיתי בהעברת קורסים והדרכות שונות מטעמם (קורסי Altera: במכללת הי-טק, אלביט חיפה, רפא"ל-לשם, וחברות אחרות וקורס VHDL בחברת ECI). בנוסף לכך מגיעה להם תודה גדולה על התמיכה המעולה שהם נותנים למוסדות לימוד. ברצוני להודות במיוחד לאבנר אוזן, משה מועלם, עופרה אברהמי, ותמר לוסטגרין.

בנוסף לכך מגיעות תודות לאנשים המצוינים בחברת סיטל (עופר הופמן וניר חמצני), שהם הנציגים של Model-Sim וכלי תכנה נוספים של Mentor בארץ. למרות שספר זה אינו דומה כלל לקורס VHDL המאוד אינטנסיבי והמצוין שמועבר מטעמם, היה לי העונג להדריך בקורסים מטעמם (באלביט חיפה, תעשייה אווירית, מהו"ת). בקורסים אלו קיבלתי משוב חשוב בקשר לצרכים של אנשים בתעשייה שלומדים VHDL בלחץ זמן גדול. בנוסף לכך מגיעה להם תודה גדולה על התמיכה שהם נותנים למוסדות לימוד.

ברצוני להודות במיוחד לאנשים הבאים שקראו את הטכסט והעירו הערות רבות: סידרוב אולג, פבל אפרוס, ערן סקלי, עמית הרשקוביץ, אנטולי איסטומין, סער מזרחי, שי מלול, ויקטור לויט, אמירה שהלא, אמיר שהלא, שאדי פראג', עודד שחם, עתליה זין, רוני ממון, רז לזר, סבטלנה גנטישציק, מורן עזרון, יעלה אברהם, מיכאל מרגוליס, טניה מרגוליס, עדי הורן, עמית שוסטיק, הדר מורנו, אוריין אדרי, פבל קוצ'רז'וק, לאוניד סמרטנקו, ויורי ספיבק.

תודה מיוחדת מגיעה לשני אנשים נוספים שדרבנו ועודדו אותי לכתוב את הספר: יאן לרון, שהוא חבר טוב וכותב ספרים פורה בפני עצמו ואריה ליבנה שהצביע ללא לאות על הצורך בכתובה של ספר רציני בעברית בנושא.

אני מקווה שבעתיד הקרוב אוכל לגבות את הספר הזה בשני ספרים נוספים שעוסקים בנושאים שהם קרובים לנושאים שבהם עוסק ספר זה. ספר אחד יהיה ספר מעשי שיעסוק בתכן וניסויים עם רכיבים מיתכנתים של Altera. ספר נוסף שנמצא כרגע בשלבי כתיבה מוקדמים הוא ספר רציני שיעסוק במערכות ספרתיות (כולל גם ארכיטקטורות ותכן עם רכיבים מיתכנתים).

למרות כל המאמצים שלי בכתבת הספר ולמרות המשוב המועיל הרב של האנשים המצוינים שהעירו לי הערות ותקנו לי שגיאות בגרסאות המוקדמות של הספר, עדיין עלולות להיות בספר זה טעויות. אודה לכל מי שישלח לי הערות בקשר לטעויות שכאלה או לכל מי שיצביע על בעיות כלשהן בהבנה של הטכסט או יציע לי הערות בונות כל שהן. כל הערה קטנה כגדולה תתקבל על ידי בברכה.

ליצירת קשר ניתן להשתמש בכתובות הדואר האלקטרוניות הבאות:

amos.zaslavsky@gmail.com
amos@mail.pet.ac.il

או שניתן להתקשר לטלפונים הבאים:

050-7270673
04-8230219 (בערב)

אני מאחל לכל הקרואים קריאה נעימה והצלחה בלימוד השפה (בהמשך צרפתי גם כמה המלצות בקשר לאופן הלימוד המומלץ של השפה).

הספר מוקדש כמובן לאשתי וילדי (אפרת, טל ואורי) שסבלו תכופות מהיעדרויות שלי מהבריכה ומחוף הים.

מבנה הספר וייעודו

הספר מחולק לתריסר הפרקים הבאים :

1. מבוא לשפה ולכלים
2. היסודות של השפה
3. יסודות התיאור ההתנהגותי
4. אבני בניה לסינתזה צירופית
5. אבני בניה לסינתזה סינכרונית
6. אבני בניה לסימולציה
7. תיאורים מבניים בסיסיים
8. תיאורים מבניים מורכבים
9. הגדרות סוגי מידע ותיאור מכונת מצבים
10. הגדרת מערכים ותיאור רכיבי זיכרון
11. פונקציות ופרוצדורות והרחבות לשפה
12. טיפול בקבצים

בפרק הראשון תתוודע למושגים בסיסיים כמו סימולציה סינתזה, ותכיר את מהלך התכנון (Design Flow) של רכיב מתוכנת מודרני. בפרק זה גם מודגמים באופן בסיס בלבד כלי תכנה לסימולציה וסינתזה. אמנם כלי הסימולציה וסינתזה שמודגמים בפרק זה הם של חברת Mentor וחברת Altera, אך לא תהיינה לקורא שמשמש בכלים של חברות אחרות בעיות כל שהן בהמשך הקריאה וההבנה של הספר. הסימולציה בפרק זה ובפרקים הראשונים של הספר (עד פרק 5) מבוססות על script עם פקודות של הסימולטור. סימולציה שנעשית באמצעות Test Bench מוצגת בהמשך הספר (בפרק 7 והלאה). במהלך הפרק הראשון תבצע, את כל שלבי התכנון על קובץ VHDL מאוד פשוט.

בפרק השני בספר מוצגים יסודות התחביר הבסיסיים של השפה. פרק זה ילמד אותך כיצד לכתוב קובץ VHDL בסיסי. בפרק זה תכיר את יחידות הקומפילציה הבסיסיות: ישות (entity), ארכיטקטורה (architecture) וחבילה (Package). בנוסף לכך פרק זה עוסק בסוגי המידע (Data Types) שמובנים בשפה ואוסף הפעולות (Operators) שאותן ניתן לבצע על סוגי המידע שמובנים בשפה. הכרות מוקדמת עם סוגי המידע והפעולות חשובה היות ושפת VHDL היא שפה נוקשה (Strongly Typed Language). בסוף הפרק תכיר כמה חבילות שימושיות.

הפרק השלישי עוסק ביסודות התיאור ההתנהגותי בשפה. בחלק זה תכיר שתי צורות תיאור: תיאור עם תהליך (process) ובלעדיו. השימוש בתהליך מאפשר ליצור תיאורים של מערכות מאוד מורכבות ומאפשר להשתמש גם במשתנים (Variables). בפרק זה תלמד גם כיצד להשתמש בפסקי התניה (conditioning), בפסקי בחירה (selection) ובחוגים (loops).

בפרק הרביעי נעסוק בכתיבת תיאורים צירופיים שהם "יחידותיים לכלי סינתזה". בפרק זה תכיר כללים ושבולונות (Templates) לכתיבה, שמבטיחות שכל כלי הסינתזה יצליחו לפרש את הקוד שלך כחמרה של מערכת צירופית ולא כחמרה מופרעת ובלתי הגיונית (Sick Hardware). הקפדה על כללי הכתיבה שנלמדים בפרק זה תגרום לכך שהקוד יפורש באופן אחיד ועקבי על ידי כל כלי התכנה שבהם תשתמש. מדובר הן בכלי סינתזה והן בכלי

סימולציה. כתיבת קוד צירופי שהוא "ידידותי לכלי סינתזה", חופפת ברוב המקרים גם לכתיבת קוד צירופי שהוא "קריא וידידותי לבני אדם" ! בפרק זה נעסוק בתיאור של רכיבים צירופיים כמו: בורר (Selector), מפלגומפענח (De-Multiplexer/Decoder), מקדד (Encoder), ורכיבי Tri-State ו Open-Drain.

גם בפרק החמישי נעסוק בכתיבת תיאורים שהם "ידידותיים לכלי סינתזה", אך הפעם מדובר בתיאורים סינכרוניים. גם בפרק זה תכיר כללים ושבולונות לכתיבה שמבטיחות שכל כלי הסינתזה יצליחו לפרש את הקוד שלך כחמרה של מערכת סינכרונית ולא כחמרה מופרעת ובלתי הגיונית. גם במקרה זה הקפדה על כללי הכתיבה שנלמדים בפרק זה תגרום לכך שהקוד יפורש באופן אחיד ועקבי על ידי כל כלי התכנה שבהם נשתמש. מדובר הן בכלי סינתזה והן בכלי סימולציה. כתיבת קוד סינכרוני שהוא "ידידותי לכלי סינתזה", חופפת ברוב המקרים גם לכתיבת קוד סינכרוני שהוא "קריא וידידותי לבני אדם" ! בפרק זה נעסוק בתיאור של רכיבים סינכרוניים כמו: דלגלים (Flip-Flops), מונים (Counters) מסוגים שונים, ורגיסטרים (Registers) מסוגים שונים.

בפרק השישי נעסוק בהכרת אבני בניה לסימולציה, שישמשו אותנו ביצירה גנטוריים עבור Test Bench. בפרק זה נשתמש בתהליכים עם פסוקי wait ונכיר כיצד ניתן ליצור מחוללים שונים כמו: מחולל שעון, מחולל reset או מחוללים מורכבים אחרים. רק ביחידת הלימוד הבאה, שבה נכיר את האופן שבו נעשה תיאור מבני, נשתמש באופן מפורש ב - Test-Bench בכדי לבצע סימולציות למערכות שאותן נרצה לסנתז. ביחידת הלימוד הבאה נשלב בעצם אבני בניה לסינטיה (שנלמדו בפרק הרביעי והחמישי) ביחד עם אבני בניה לסימולציה (שנלמדו בפרק 6) בתיאור מבני.

בכל הפרקים שלפני פרק 7 נעשה שימוש בתיאורים בסגנון התנהגותי (Behavioral Coding Style). שפת VHDL תומכת גם בתיאורים בסגנון מבני (Structural Description Style). בפרק 7 נכיר את האופן שבו נעשה תיאור מבני של מערכת. בפרק זה נציג את האופן שבו יוצרים חיבורים בין רכיבים וכיצד יוצרים היררכיה. בפרק זה גם תתוודע לצורת הסימולציה השימושית שנקראת Test-Bench.

פרק 8 עוסק בתיאורים מבניים מורכבים. פרק זה עוסק בתיאור כללי יותר של רכיבים גנריים (Generics) ובשכפול תיאורים מבניים שנעשה באמצעות פסוקי Generate. חלקו הסופי של פרק זה עוסק בקונפיגורציה של רכיבים וניתן לדלג על חלק בלתי פופולרי זה, מבלי לפגוע בהמשך הקריאה וההבנה של הספר. בפרק זה מוצגים גם רכיבים גמישים (LPMs).

פרק 9 עוסק בתחילתו בהכרת אופנים שונים שבהן ניתן להגדיר סוגי מידע בשפת VHDL. המשכו של הפרק עוסק בנושא החשוב של תיאור מכונת מצבים בשפת VHDL. בחלק זה בפרק תכיר אופנים שונים שבהם ניתן לתאר מכונות מסוג Mealy ו Moore וכיצד ניתן להתערב בהקצאת המצבים של המכונה, למשל במקרה שבו רוצים לממש מכונת Moore ישירה (Direct Moore Machine).

פרק 10 עוסק בתחילתו בהגדרת אופנים שבהם ניתן להגדיר מערכים ורשומות בשפת VHDL. המשכו של הפרק עוסק בנושא החשוב של תיאור רכיבי זיכרון כמו: RAM, ROM ו Dual Port RAM.

חלקו הראשון של פרק 11 עוסק בהכרת אופן ההגדרה ואופן השימוש בפונקציות ופרוצדורות בשפת VHDL. המשכו של פרק זה מראה כיצד יצרו הרחבות שונות לשפה כמו בחבילות: std_logic_1164 או בחבילות האריתמטיות השונות כמו: numeric_std או std_logic_arith וכיצד יצרו חבילות נוחות לשימוש כמו std_logic_signed ו std_logic_unsigned.

פרק 12 עוסק בטיפול בקבצים. בחלקו הראשון מוצג אופן הטיפול בקבצים טכסטואליים באמצעות שימוש בחבילות textio ו std_textio. בהמשכו של הפרק מתואר אופן הטיפול גם בקבצים שאינם קבצי טכסט (Binary Files). פרק זה גם מציג את הבדלים בין אופן הטיפול בקבצים ב - VHDL-87 לעומת VHDL-93.

הספר מתאים לאנשי חמרה (מהנדסים, והנדסאים) שהם מתחילים או מתקדמים בשפת VHDL. הספר מביא את הקורא לרמת ידע גבוהה של השפה. הספר מתאים לתכניות לימוד רבות באוניברסיטאות ובמכללות אקדמיות שונות (למשל 310104 במכללה אקדמית רופין). בנוסף לכך הספר מתאים לתכנית הלימודים של הנדסאים של מה"ט (המחלקה להכשרה טכנולוגית) במקצועות הבאים: "מעבדה לרכיבים מיתכנתים" (מספר מקצוע 6.27) ו"שפת תיאור חמרה" (מספר מקצוע 4.22). הספר מתאים גם לתכנית הלימודים במשרד החינוך במקצוע: "שפת תיאור חמרה VHDL" (סמל מקצוע 11.9014).


המלצות לגבי אופן הלימוד

בניגוד לשפות תיאור חמרה כמו ABEL ו AHDL, שהן שפות קטנות וקלות ללימוד, שפת VHDL היא שפה גדולה ומורכבת הדורשת לימוד מסודר וזמן הסתגלות ארוך יותר. במיוחד קשה ומתסכל ללמוד את השפה, אם מנסים ללמוד אותה מתוך התקן שלה, שנקרא גם בשם VHDL Language Reference Manual (או בקיצור - LRM). אנשים שהתנסו בצורת לימוד זו, מתלוצצים לעיתים וקוראים לשפת VHDL גם בשם המאוד לא מחמיא: Very Hard Description Language (המקור האמיתי של השם של השפה הוא שונה והוא מתואר בפרק 1).

אחדים מהקשיים בלימוד השפה נגרמים מהסיבות הבאות:

- מדובר בשפה גדולה עם אפשרויות כתיבה רבות
- השפה נוצרה על ידי ועדה
- השפה דומה יותר מדי לשפת תכנות למרות שהיא כלל אינה שפת תכנות
- בכתיבה לסינתזה יש להכיר את החלקים של השפה שמתאימים לסינתזה
- השפה היא בעלת סוגי מידע רבים ופעולות נוקשות (Strongly Typed Language).

למרות כל מה שנאמר כאן, אנשים רבים בכל זאת לומדים VHDL ללא מאמץ רב, וזאת בתנאי שהם מסתייעים בספר לימוד (כמו ספר זה). ספר לימוד זה מכסה באופן יסודי – צעד אחר צעד את כל המרכיבים החשובים של השפה, כולל הצבעה על קשיים ובעיות. הספר מתמקד בשפה עצמה, במתודולוגיה, בסגנונות כתיבה לסימולציה וסינתזה ולא בכלים, אך תרגול עם כלי תכנה עוזר כמובן להטמעה של החומר הנלמד.

הספר כתוב הן כספר לימוד והן כחוברת לתרגול עצמי. בספר משולבים שני סוגים של תרגילים. התרגילים שמסומנים ב - , הם תרגילים קטנים שאותם כדאי להריץ. הקוד של תרגילים אלו בדרך כלל רשום בספר וגם תוצאות ההרצה המצופות רשומות בספר. תרגילים אלו עוזרים לקורא להפנים את קריאת הטכסט "היבש". תרגילים נוספים הם, תרגילי תכנון שבהם הקורא נדרש לתכנן מערכת כל שהיא ולכתוב את הקוד שלה בעצמו. תרגילים אלו ממוספרים לפי פרקי הלימוד בספר (למשל 3.1, 3.2, 3.3 ..).

הכלי העיקרי המומלץ לתרגול עצמי, הוא כלי סימולציה. הרצות הסימולציה בספר זה נעשו באמצעות ModelSim, אך אין שום מניעה מלהשתמש בכלי סימולציה אחר כמו Active-HDL או בכל כלי סימולציה אחר.

חלק מהתרגילים בספר מיועדים לתרגול גם באמצעות כלי סינתזה ואמפּלמנטציה. תרגילי הסינתזה בספר זה מיועדים להרצה בכלים כמו Max+Plus II או Quartus של חברת Altera ו Precision RTL של חברת Mentor. למרות זאת, בהחלט אפשר להשתמש גם בכלי סינתזה אחרים.

ההסברים בטכסט שקשורים לאופן כתיבת קוד לכלי סינתזה (שמצויים ברובם בפרקים 4 ו 5 אך גם בפרקים אחרים בספר), מבוססים על בדיקה שנעשתה גם באמצעות הרצת הקוד באמצעות כלי סינתזה רבים ומגוונים נוספים כמו: ABEL-Synario הישן של Data Warp2, I/O של חברת Cypress, Web-Pack או ISE של חברת Xilinx, FPGA-Compiler או FPGA-Express של Synopsys או Design-Compiler של Synplify של Synplify. חלק מהכלים הנ"ל הם כלים שהיו ברשותי ולצורך ההרצה של הכלים שלא היו ברשותי נעזרתי בחברים.

לחלק מבין כלי הסימולציה והסינתזה הנ"ל, קיימות גרסאות מוגבלות (למשל גרסה מוגבלת ל - 500 שורות של ModelSim שהיא גרסת MXE של Xilinx) או גרסאות סטודנטים שונות כמו: גרסת סטודנטים של ModelSim-PE או Max+Plus II וגרסת Quartus Web Edition, שהן כולן תכנות שניתן לקבל עבורן רשיון באמצעות האינטרנט.

הספר בנוי באופן גמיש כך שקוראים שאין להם את כל סוגי הכלים או שהם מאוד קצרים בזמן, אינם חייבים להשתמש בכל פרקי הספר. במלים אחרות הספר מתאים למגוון רחב של סוגי קורסים וקהלי יעד.

למשל קוראים שמתכוונים לבצע בשלב ראשון רק חיווטים גרפיים, יכולים לדלג על פרקים 7 ו 8. קוראים שמבצעים אך ורק סימולציות פנימיות בכלי הסינתזה (Gate Level), מכיוון שאין להם כלי סימולציה חיזוני, יכולים לוותר על פרק 6. קוראים שאינם מעוניינים להעמיק בשפה יכולים לוותר על פרקים 10, 11 ו 12. הגרעין המינימלי של הספר שממנו כדאי שלא לרדת הם פרקים 1 עד 5 ופרק 9 (נושא מכונת מצבים בלבד) שמהווה כמחצית מהספר !